



netidee

PROJEKTE

fast_open_switch

Zwischenbericht | Call 17 | Projekt ID 6274

Lizenz: Lizenz CC BY 4.0

Inhalt

1	Einleitung.....	3
2	Status der Arbeitspakete.....	3
2.1	Arbeitspaket 1 - Projektmanagement.....	3
2.2	Arbeitspaket 2 - HW Elektronikdesign des Switches.....	3
2.3	Arbeitspaket 3 - Projektmanagement.....	4
2.3	Arbeitspaket 3 - Offene Hardware.....	4
3	Zusammenfassung Planaktualisierung.....	5
4	Öffentlichkeitsarbeit/ Vernetzung.....	5

1 Einleitung

Das Projekt hat das Ziel, 10 Gbit/s schnelle Ethernet-Verbindungen durch den Einsatz einer FPGA-basierten Hardware zu ermöglichen. Im Gegensatz zu handelsüblichen Switches erfolgt die Bearbeitung und Weiterleitung der Datenpakete direkt von einer pipelined digitalen Schaltung, anstatt von einer Software, die von einem Prozessor Schritt für Schritt ausgeführt wird. Die Verarbeitung der Datenpakete erfolgt parallel und die digitale Schaltung ist frei definierbar. Die zukünftige Forschung wird sich auf die Entwicklung von post-von-Neumann-Architekturen und entsprechenden Design-Sprachen konzentrieren, einschließlich der Verwendung von neuronalen Netzwerken und neuer Hardware-Designsprachen wie PipelineC oder Silice zur Entwicklung von Switch-Funktionalitäten.

2 Status der Arbeitspakete

2.1 Arbeitspaket 1 - Projektmanagement

Im Rahmen des Arbeitspakets 1 wurde ein Vertrag unterzeichnet und ein detaillierter Projektplan mit Arbeitspaketen erstellt und abgenommen. Eine umfassende Liste der Projektergebnisse, einschließlich Angaben zur Lizenz und zum Ort der öffentlichen Bereitstellung, wurde ebenfalls erarbeitet und abgenommen. Die Projekt-Website <https://www.netidee.at/fastopenswitch> wurde eingerichtet und den Blogbeiträge wurden veröffentlicht. Die erste Förderrate wurde beantragt und durch Feedback ergänzt. Schließlich, die erste Förderrate wurde genehmigt.

2.2 Arbeitspaket 2 - HW Elektronikdesign des Switches

Im Rahmen des Arbeitspakets 2 wurde ein Blockdiagramm für einen FPGA-basierten 10-Gigabit-Switch erstellt. Besonderer Wert beim Projektentwicklung wurde auf maximale Flexibilität gelegt, damit Forscher und Unternehmen ihre Produkte auf dieser Hardware aufbauen können. Darauf aufbauend wurden die erforderlichen Komponenten bestellt und ein Prototyp durch Zusammenbau der Komponenten auf einer Leiterplatte erstellt. Vor der Entwicklung des Boards wurde eine Adapterplatine zwischen FPGA und Management-CPU entworfen, um Softwareentwicklern frühzeitig die Möglichkeit zu geben, ihre Software zu testen. Die Adapterplatine wurde produziert und ist bereits im Einsatz.

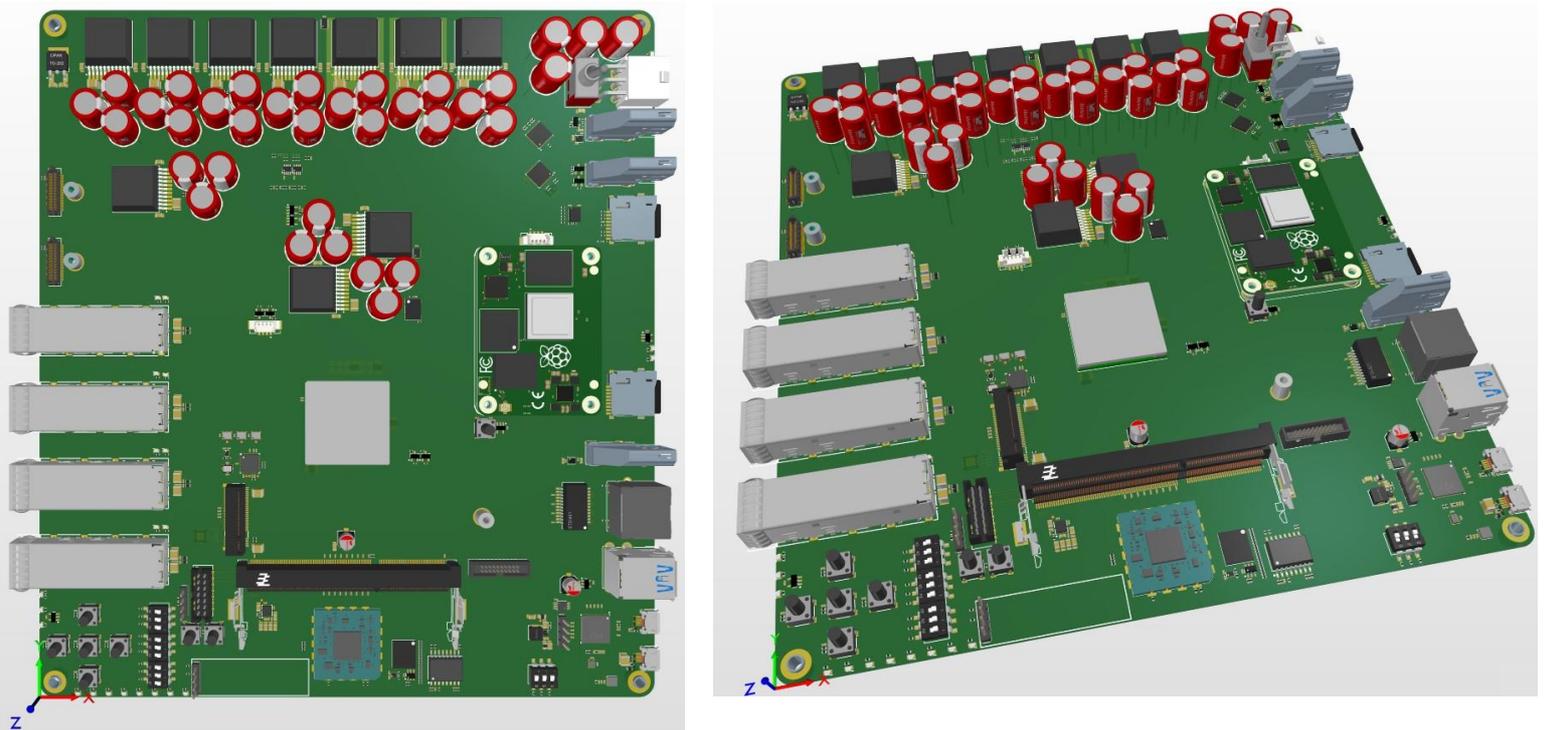


Abbildung 1. Fast-Open-Switch Hardware-Schaltpläne

2.3 Arbeitspaket 3 - Projektmanagement

Im Laufe des Arbeitspakets wurden regelmäßige Jour Fixe mit dem Team abgehalten, um den Projektfortschritt zu koordinieren. Der Projektverlauf wurde im Projektendbericht dokumentiert und ein Zwischenbericht wurde erstellt und übermittelt. Das Förderratenabrufformular für die zweite Förderrate wurde ebenfalls ausgefüllt und die Antragstellung für die zweite Förderrate wurde abgeschlossen.

2.4 Arbeitspaket 4 - Offene Hardware

Im Rahmen des Projekts wird geplant, eine Proof-of-Concept eines Switches mithilfe der Hardwarebeschreibungssprache Verilog zu realisieren. Ein besonderes Merkmal dieses Designs wird der 512 Bit breite Bus sein, der alle Komponenten auf dem FPGA verbindet. Es wird auch eine hochleistungsfähige Ethernet IP implementiert werden, die Übertragungsraten von bis zu 10 Gbit/s unterstützt. Eine weitere Besonderheit wird der Bus Aggregator sein, der Speicherzugriffe auf den DDR3 Speicher für alle Ethernet-Kanäle bündelt, um den Datendurchsatz für das Zwischenspeichern von Datenpaketen optimal zu nutzen. Die Arbeiten hierfür haben begonnen.

3 Zusammenfassung Planaktualisierung

Im Zuge des Projekts wurden Änderungen am Netzplan vorgenommen. Das Arbeitspaket 2 ist Ende Mai abgeschlossen. Die Abrechnung vom AP2 wurde in Juli abgeschlossen. Des Weiteren wurden die Projekt-Kosten für alle Arbeitspakete zum Stand vom 01.07.2023 aktualisiert. Die Links zu den zu erbringenden Projektergebnisse wurden geändert, um den Prozess für die Entwickler bequemer zu gestalten und ihnen die Möglichkeit zu geben, die Projektaktualisierungen auf dem neuesten Stand zu halten.

Die Dauer des Arbeitspakets 2 wurde verlängert. Infolgedessen kam es auch bei der Fertigstellung des Arbeitspakets 3 zu einer Verzögerung. Ebenso wurde die Frist für Arbeitspaket 4 verlängert, um zusätzliche Zeit für Tests und Debugging zu berücksichtigen.

4 Öffentlichkeitsarbeit/ Vernetzung

Bereits veröffentlichte Blogbeiträge über die vorherige Arbeit und den Fortschritt des Projekts sind vorhanden. Der erste Blogbeitrag über den 10GP- Ethernet-Testprozess wird veröffentlicht. Zukünftige Blogbeiträge über 10GBit Ethernet und IP-Logik sind für die kommenden Monate geplant.