



netidee

PROJEKTE

fast\_open\_switch

Endbericht | Call 17 | Projekt ID 6274

Lizenz CC BY 4.0

# Inhalt

1	Einleitung.....	3
2	Projektbeschreibung .....	3
3	Verlauf der Arbeitspakete .....	3
3.1	Arbeitspaket 1 – Projektmanagement.....	3
3.2	Arbeitspaket 2 - HW Elektronikdesign des Switches.....	4
3.3	Arbeitspaket 3 - Projektmanagement .....	5
3.4	Arbeitspaket 4 - Offene Hardware .....	5
3.5	Arbeitspaket 5 - Projektmanagement .....	6
4	Umsetzung Förderauflagen .....	6
5	Liste Projektendergebnisse .....	7
6	Verwertung der Projektergebnisse in der Praxis .....	8
7	Öffentlichkeitsarbeit/ Vernetzung.....	8
8	Eigene Projektwebsite.....	8
9	Geplante Aktivitäten nach netidee-Projektende.....	8
10	Anregungen für Weiterentwicklungen durch Dritte.....	8

## 1 Einleitung

Das Ziel des Projekts ist es, 10 Gbit/s schnelle Ethernet-Verbindungen durch den Einsatz einer FPGA-basierten Hardware zu ermöglichen. Im Gegensatz zu handelsüblichen Switches erfolgt die Bearbeitung und Weiterleitung der Datenpakete direkt von einer pipelined digitalen Schaltung, anstatt von einer Software, die von einem Prozessor Schritt für Schritt ausgeführt wird. Die Verarbeitung der Datenpakete erfolgt parallel und die digitale Schaltung ist frei definierbar. Die zukünftige Forschung wird sich auf die Entwicklung von post-von-Neumann-Architekturen und entsprechenden Design-Sprachen konzentrieren, einschließlich der Verwendung von neuronalen Netzwerken und neuer Hardware-Designsprachen wie PipelineC oder Silice zur Entwicklung von Switch-Funktionalitäten.

## 2 Projektbeschreibung

Das Backbone des Internets sind IP-Switches, die schnelle Ethernet Interfaces haben und IP-Pakete und TCP Pakete analysieren, bearbeiten, weiterleiten können. Switches nutzen ASIC oder FPGAs. Wir entwickeln die erste FPGA basierte open source Backbone Switch Hardware, die mit unseren open source FPGA-Tools programmierbar ist.

Derzeit gibt es nur proprietäre Switches HW mit proprietären Firmware-Lösungen. Wir liefern erstmals ein open-source Hardware Design für High-Speed Backbone Netzwerke.

## 3 Verlauf der Arbeitspakete

### 3.1 Arbeitspaket 1 - Projektmanagement

Im Rahmen des Arbeitspakets 1 wurde ein Vertrag unterzeichnet und ein detaillierter Projektplan mit Arbeitspaketen erstellt und abgenommen. Eine umfassende Liste der Projektergebnisse, einschließlich Angaben zur Lizenz und zum Ort der öffentlichen Bereitstellung, wurde ebenfalls erarbeitet und abgenommen. Die Projekt-Website <https://www.netidee.at/fastopenswitch> wurde eingerichtet und den ersten Blogbeiträge wurden veröffentlicht. Die erste Förderrate wurde beantragt und durch Feedback ergänzt. Schließlich, die erste Förderrate wurde genehmigt.

### 3.2 Arbeitspaket 2 - HW Elektronikdesign des Switches

Im Rahmen des Arbeitspakets 2 wurde ein Blockdiagramm für einen FPGA-basierten 10-Gigabit-Switch erstellt. Besonderer Wert bei der Projektentwicklung wurde auf maximale Flexibilität gelegt, damit Forscher und Unternehmen ihre Produkte auf dieser Hardware aufbauen können. Darauf aufbauend wurden die erforderlichen Komponenten bestellt und ein Prototyp durch Zusammenbau der Komponenten auf einer Leiterplatte erstellt. Vor der Entwicklung des Boards wurde eine Adapterplatine zwischen FPGA und Management-CPU entworfen, um Softwareentwicklern frühzeitig die Möglichkeit zu geben, ihre Software zu testen. Die Adapterplatine wurde produziert und ist bereits im Einsatz. Der Testprozess stellte eine Herausforderung dar, da die FPGA-Hardware in Deutschland und der Testingenieur in den USA ansässig waren. Um diese logistische Hürde zu überwinden, wurde strategisch ein Raspberry Pi in die Switch-Hardware als Test-Controller integriert. Diese Integration erleichterte die nahtlose Durchführung von Aufgaben wie dem Laden neuer Bitstreams und der Erzeugung von Protokolldateien, wodurch die geografischen Einschränkungen überwunden und effiziente Testverfahren ermöglicht wurden.

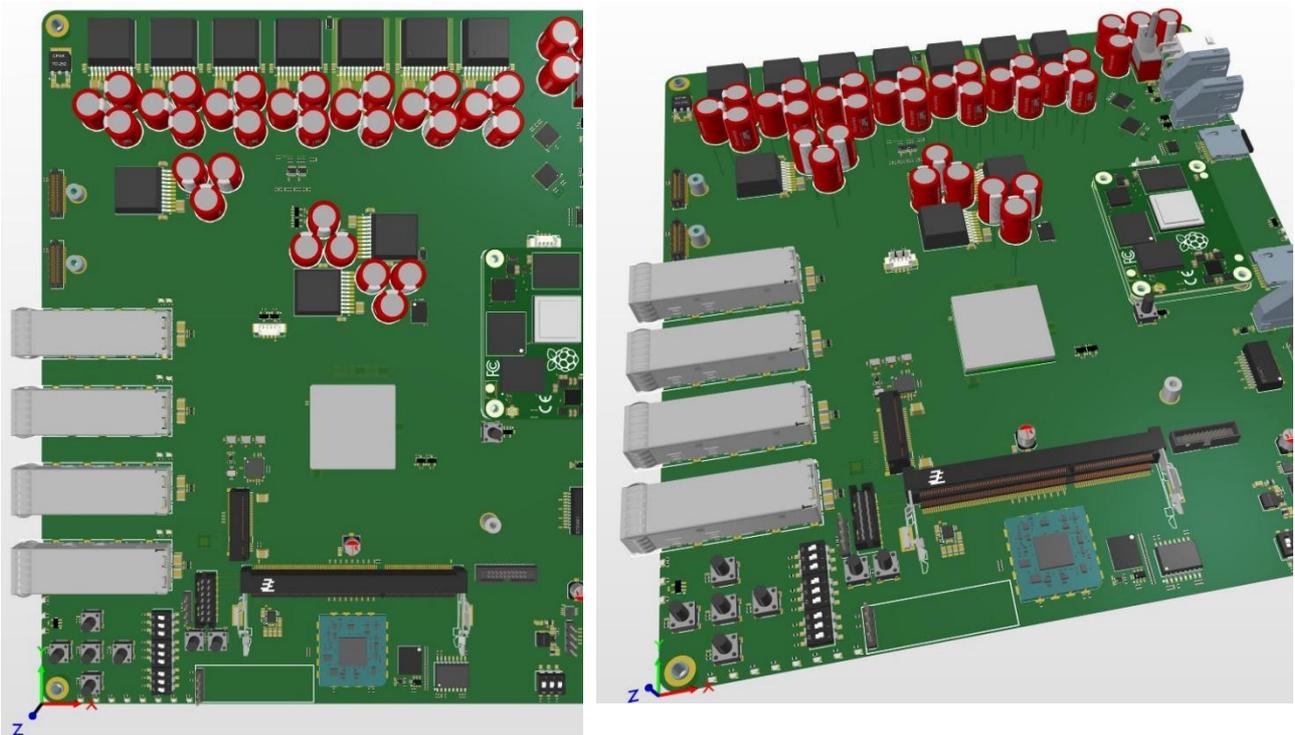


Abbildung 1. Fast-Open-Switch Hardware-Schaltpläne

### 3.3 Arbeitspaket 3 - Projektmanagement

Im Laufe des Arbeitspakets wurden regelmäßige Jour Fixe mit dem Team abgehalten, um den Projektfortschritt zu koordinieren. Der Projektverlauf wurde im Projektendbericht dokumentiert und ein Zwischenbericht wurde erstellt und übermittelt. Das Förderratenabrufformular für die zweite Förderrate wurde ebenfalls ausgefüllt und die Antragstellung für die zweite Förderrate wurde abgeschlossen.

### 3.4 Arbeitspaket 4 - Offene Hardware

Im Rahmen des Projekts wurde geplant, eine Proof-of-Concept eines Switches mithilfe der Hardwarebeschreibungssprache Verilog zu realisieren. Ein besonderes Merkmal dieses Designs war der 512 Bit breite Bus, der alle Komponenten auf dem FPGA verbindet. Es wurde auch eine hochleistungsfähige Ethernet IP implementiert, die Übertragungsraten von bis zu 10 Gbit/s unterstützt.

Die Herausforderung war der Bus Aggregator, der Speicherzugriffe auf den DDR3 Speicher für alle Ethernet-Kanäle bündelt, um den Datendurchsatz für das Zwischenspeichern von Datenpaketen optimal zu nutzen. DDR-Speicher wird von nahezu jedem IT-System verwendet, um eine enorme Menge an Daten für den schnellen Zugriff zu speichern. Günstige Embedded-Systeme verwenden den DDR3-Standard. Deswegen implementierten wir DDR3, da FPGAs hauptsächlich in Embedded-Lösungen eingesetzt werden und diese Systeme keinen Bedarf an großen Kapazitäten haben. Mehr Information über DDR3: [https://github.com/AngeloJacobo/DDR3\\_Controller](https://github.com/AngeloJacobo/DDR3_Controller)

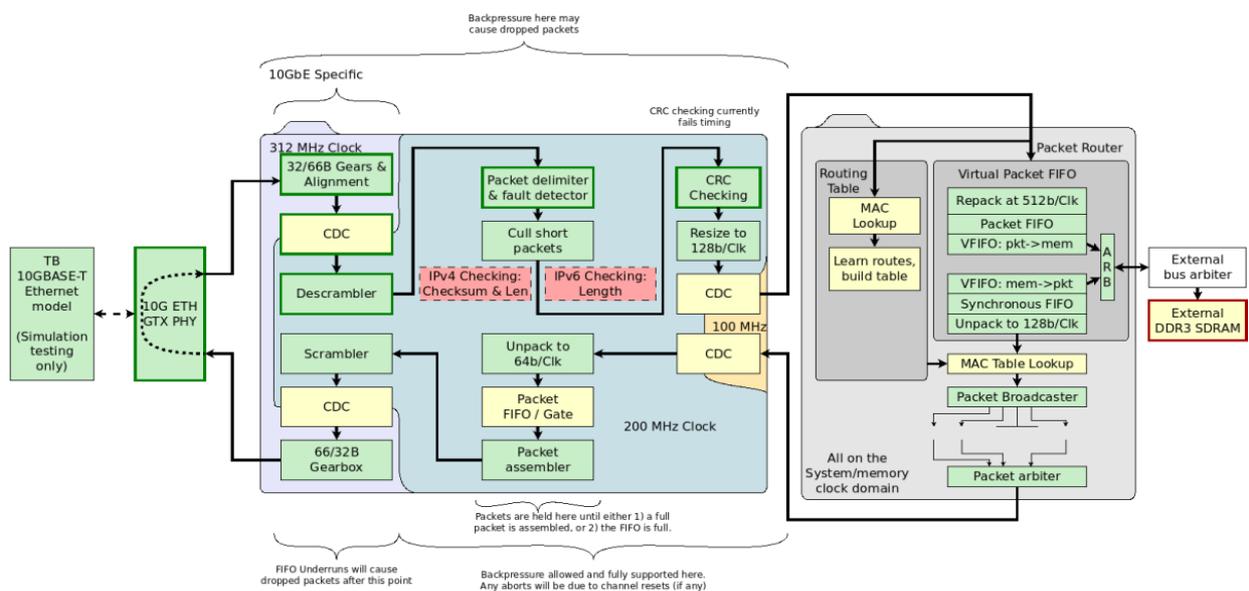


Abbildung 2. Architektur des Switches-Gateway-Designs



## 5 Liste Projektergebnisse

1	<b>Projektzwischenbericht</b>	CC BY 4.0	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a>
2	<b>Projektendbericht</b>	CC BY 4.0	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a>
3	<b>Entwickler_innen-DOKUMENTATION</b>  Eine vollständige Dokumentation wurde erstellt, die andere Entwickler in die Lage versetzt, die von uns entwickelte Software, um die Unterstützung für andere FPGAs zu erweitern	CC BY-SA 4.0	<a href="https://github.com/ZipCPU/eth10g/commit/73a0d9fc2e2eab6f2cd44c60faaa3b115d215179">https://github.com/ZipCPU/eth10g/commit/73a0d9fc2e2eab6f2cd44c60faaa3b115d215179</a>
4	<b>Anwender_innen-DOKUMENTATION</b>  Die erstellte Dokumentation erlaubt Anwendern die Nutzung der von uns entwickelten Software.	CC BY-SA 4.0	<a href="https://github.com/ZipCPU/eth10g/blob/master/doc/USERGUIDE.md">https://github.com/ZipCPU/eth10g/blob/master/doc/USERGUIDE.md</a>
5	<b>Veröffentlichungsfähiger Einseiter / Zusammenfassung</b>	CC BY-SA 4.0	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a>
6	<b>Dokumentation Externkommunikation zur Erreichung Sichtbarkeit /Nachhaltigkeit</b>  Der Projektfortschritt wurde durch regelmäßige Artikel auf der Netidee Webpage dokumentiert.	CC BY 4.0	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a>
7	<b>HW-Projektergebnis-Elektronikdesign des Switches</b>  Erstellung eines Open-Source-Hardware-FPGA-Board-Designs und eines funktionierenden Prototyps eines Switches. Kann in Kombination mit einem HDL-Design als Switch oder Firewall eingesetzt werden. Alle HW-Design Files werden veröffentlicht, damit andere Anwender oder Firmen selber dieses HW Design an ihre eigene Bedürfnisse anpassen können und Geräte bauen.	GPLv3 License	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a> <a href="https://github.com/ZipCPU/eth10g">https://github.com/ZipCPU/eth10g</a>
8	<b>SW-Projektergebnis-Offene Hardware</b>  Implementierung von 10GBit Ethernet und IP-Logik auf dem FPGA mit einer Hardware-Beschreibungssprache. Das ist das logische Ethernet Interface, zu dem der Switch fähig sein muss, um mit anderen Ethernet Geräten standardkonform Daten austauschen zu können.	GPLv3 License	<a href="https://www.netidee.at/fastopenswitch">https://www.netidee.at/fastopenswitch</a> <a href="https://github.com/ZipCPU/eth10g">https://github.com/ZipCPU/eth10g</a> <a href="https://github.com/AngeloJacobo/DDR3_Controller">https://github.com/AngeloJacobo/DDR3_Controller</a>

## 6 Verwertung der Projektergebnisse in der Praxis

Die Projektergebnisse sind noch nicht in der Praxis verwendet, da das Projekt gerade erst abgeschlossen wurde und die Funktionalität des Switches hergestellt wurde.

## 7 Öffentlichkeitsarbeit/ Vernetzung

Edmund Humenberger hat erfolgreich Vernetzungsaktivitäten auf den Plattformen Twitter (@ico\_TC) und LinkedIn durchgeführt. Mit etwa 6000 Followern im Bereich FPGA-basierte Systeme und Netzwerktechnologie konnte eine gezielte Ansprache und Interaktion mit der Zielgruppe erfolgen. Eine Projektübersicht wurde auf der Website <https://zipcpu.com> bereitgestellt. Diese Plattform bietet eine umfassende Darstellung des Projekts, um Interessierten einen klaren Überblick zu verschaffen. Das Projektteam veröffentlichte regelmäßig informative Blogbeiträge auf der Netidee-Website <https://www.netidee.at/fastopenswitch>.

## 8 Eigene Projektwebsite

An Open Source 10Gb Ethernet Switch - <https://github.com/ZipCPU/eth10g>

## 9 Geplante Aktivitäten nach netidee-Projektende

Es sind die folgenden weiterführenden Aktivitäten nach dem Ende des Netidee-Projekts geplant:

- Entwicklung einer WireGuard VPN-Lösung für die Switch-Plattform (Förderung bei NLnet bereits beantragt).
- Entwicklung eines SATA-Storage-Controllers für die Switch-Plattform (Förderung bei NLnet bereits beantragt).
- Portierung des Switch-Designs zu den openXC7 Open-Source-Werkzeugen.

## 10 Anregungen für Weiterentwicklungen durch Dritte

- Erweiterung der Switch-Fähigkeiten um Echtzeitfähigkeit, wie es bei TSN der Fall ist.
- Erweiterung der Switch-Fähigkeiten, um Denial-of-Service (DoS) zu erkennen und abzuwehren.
- Integration eines Open-Source-DDR3-Memory-Controllers.